*Федеральное государственное бюджетное образовательное учреждение* *высшего образования*

|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | ***«Московский государственный технический университет  имени Н.Э. Баумана***  ***(национальный исследовательский университет)»***  ***(МГТУ им. Н.Э. Баумана)*** |

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

**Отчет**

**по домашней работе**

**Дисциплина:**

Основы проектирования устройств ЭВМ

**Название домашней работы:**

Разработка VHDL-приложения на основе конечного автомата

Студент гр. ИУ6-62Б  **\_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.С. Бурлаков**

(Подпись, дата) (И.О. Фамилия)

Преподаватель  **\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**

(Подпись, дата) (И.О. Фамилия)

Москва, 2019

# ВВедение

## Цель работы

В ходе выполнения домашнего задания необходимо разработать устройство управления схемного типа, обрабатывающий входное командное слово С={ABCDEF} и выдающий сигналы управления M={M0,…,Mk-1} операционному блоку в соответствии с приведенной в индивидуальном задании логикой работы.

# основная часть

**Этап 1.**

А. По диаграмме переходов автомата (Приложение 1) и описанию условий переходов и активных сигналов (дополнительный файл варианты.pdf), определить тип управляющего автомата (автомат Мили или Мура, смешанный). Выбор обосновать.

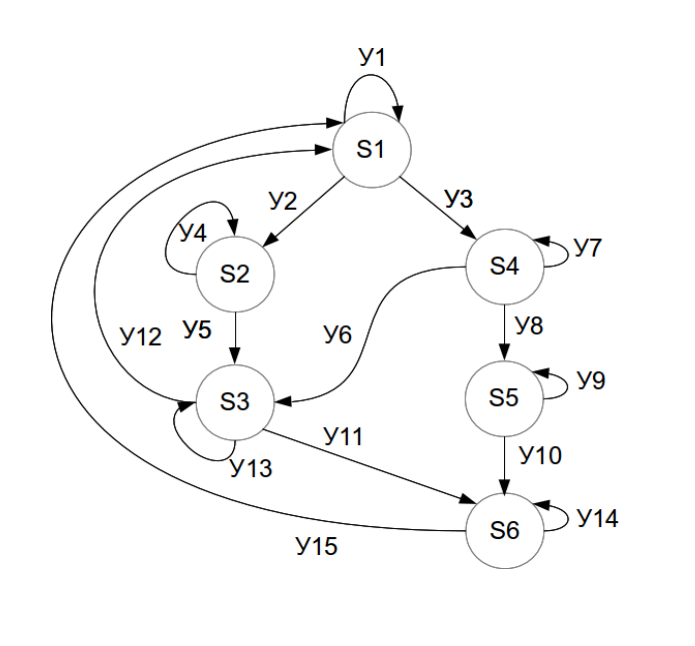


Рисунок 1- Диаграмма переходов автомата





Рисунок 2 – Активные сигналы в состояниях





Рисунок 3 – Таблица переходов





Рисунок 4 – Активные сигналы при переходах

Так как в заданном варианте присутствует выдача выходного сигнала как при нахождении в состоянии, так и при переходах от одного состояния к другому, было принято решение об использовании смешанного управляющего автомата.

В. Произвести кодирование состояний управляющего автомата. Составить схему переходов/состояний полученного автомата. Схему представить в отчете.

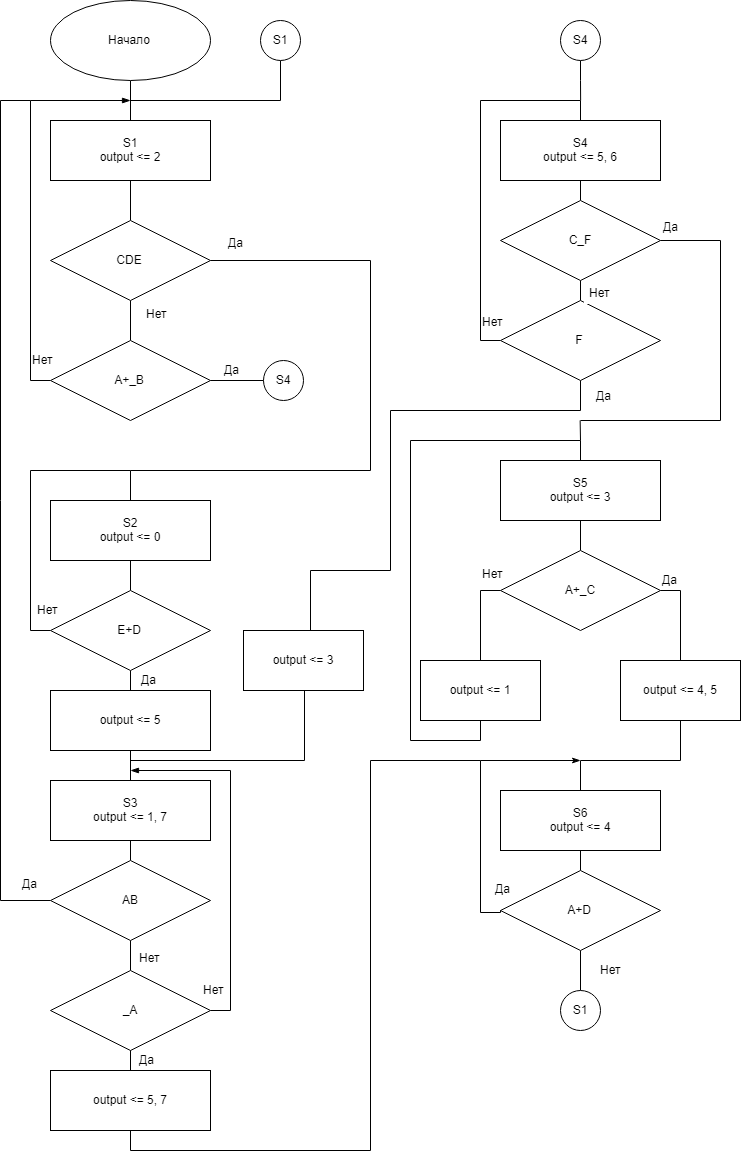


Рисунок 5 – Схема работы алгоритма

Этап 2. Разработать описание устройства управления на языке VHDL, для чего использовать приведенные в Приложении 2 шаблоны для автоматов Мили и Мура.

Листинг VHDL описания управляющего автомата:

LIBRARY ieee;

USE ieee.std\_logic\_1164.all;

USE ieee.std\_logic\_arith.all;

ENTITY control\_unit IS

PORT( U : IN std\_logic\_vector ( 5 DOWNTO 0 );

clk : IN std\_logic;

rst : IN std\_logic;

V : OUT std\_logic\_vector ( 7 DOWNTO 0 ) );

END control\_unit;

ARCHITECTURE moore OF control\_unit IS

TYPE STATE\_TYPE IS (s1, s2, s3, s4, s5, s6);

SIGNAL current\_state : STATE\_TYPE;

BEGIN

clocked\_proc : PROCESS (clk, rst)

BEGIN

IF (RST = '0') THEN

current\_state <= s1;

ELSIF (clk'EVENT AND clk ='1') THEN

CASE current\_state IS

WHEN s1 =>

V <= '00100000';

IF (U(4 downto 2) = '111') THEN current\_state <= s2;

ELSIF (U(0) = '1' OR U(1) = '0') THEN current\_state <= s4;

ELSE current\_state <= s1;

END IF;

WHEN s2 =>

IF (U(4) = '1' OR U(5) = '1') THEN current\_state <= s3;

V <= '10000100';

ELSE current\_state <= s2;

V <= '10000000';

END IF;

WHEN s3 =>

IF (U(1 downto 0) = '11') THEN current\_state <= s1;

V <= '01000001';

ELSIF (U(9) = '0') THEN current\_state <= s6;

V <= '01000101';

ELSE current\_state <= s3;

V <= '01000001';

END IF;

WHEN s4 =>

IF (U(2) = '1' AND U(5) = '0') THEN current\_state <= s5;

V <= '00000110';

ELSIF (U(5) = '1') THEN current\_state <= s3;

V <= '00010110';

ELSE current\_state <= s4;

V <= '00000110';

END IF;

WHEN s5 =>

V <= '00010000'

IF (U(0) = '1' OR U(2) = '0') THEN current\_state <= s6;

V <= '00011100'

ELSE current\_state <= s5;

V <= '01010000'

END IF;

WHEN s6 =>

V <= '00001000'

IF (U(0) = '1' OR U(3) = '1') THEN current\_state <= s6;

ELSE current\_state <= s1;

END IF;

WHEN OTHERS =>

current\_state <= s1;

END CASE;

END IF;

END PROCESS clocked\_proc;

END moore;

Разработать тестовое описание для устройства, представляющее собой генератор входных сигналов (см. Приложение 3). Тестовое описание должно обеспечивать проверку всех ветвей автомата

Листинг VHDL тестового описания:

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

USE ieee.std\_logic\_unsigned.all;

USE ieee.numeric\_std.ALL;

ENTITY test IS

END test;

ARCHITECTURE behavior OF test IS

-- Component Declaration for the Unit Under Test (UUT)

COMPONENT control\_unit

PORT(

U : IN std\_logic\_vector(5 downto 0);

clk : IN std\_logic;

rst : IN std\_logic;

M : OUT std\_logic\_vector(7 downto 0)

);

END COMPONENT;

--Inputs

signal U : std\_logic\_vector(5 downto 0) := (others => '0');

signal clk : std\_logic := '0';

signal rst : std\_logic := '0';

-Outputs

signal M : std\_logic\_vector(7 downto 0);

-- Clock period definitions

constant clk\_period : time := 10ns;

BEGIN

- Instantiate the Unit Under Test (UUT)

uut: control\_unit PORT MAP (

U => U,

clk => clk,

rst => rst,

M => M

);

-- Clock process definitions

clk\_process :process

begin

clk <= '0';

wait for clk\_period/2;

clk <= '1';

wait for clk\_period/2;

end process;

-- Stimulus process

stim\_proc: process

begin

-- hold reset state for 100ns.

rst<='1';

wait for 100ns;

rst<='0';

wait for clk\_period\*10;

-- insert stimulus here

U<="010111";

wait for clk\_period;

U<="011111";

wait for clk\_period;

U<="011001";

wait for clk\_period;

U<="011101";

wait for clk\_period;

U<="101101";

wait for clk\_period;

U<="111101";

wait for clk\_period;

U<="110101";

wait for clk\_period;

U<="110100";

wait for clk\_period;

U<="111100";

wait for clk\_period;

U<="011100";

wait for clk\_period;

U<="111100";

wait for clk\_period;

U<="111000";

wait for clk\_period;

U<="011000";

wait for clk\_period;

U<="011000";

wait for clk\_period;

U<="110000";

wait for clk\_period;

U<="010001";

wait for clk\_period;

wait;

end process;

END;

# Заключение